



507p0317 05

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 2 0 0 3 年 3 月 1 0 日
Date of Application

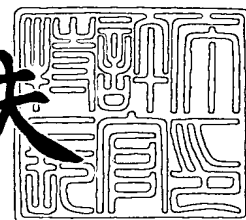
出 願 番 特 願 2 0 0 3 - 0 6 2 7 7 4
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 6 2 7 7 4]

出 願 ソニー株式会社
Applicant(s)

2 0 0 4 年 1 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 1 0 6 2

【書類名】 特許願

【整理番号】 0290835406

【提出日】 平成15年 3月10日

【あて先】 特許庁長官殿

【国際特許分類】 G01F 2/00

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 池田 繁治

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 福田 真一

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 大平 勲

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 佐藤 敏彦

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

【代理人】

 【識別番号】 100098785

 【弁理士】

 【氏名又は名称】 藤島 洋一郎

【手数料の表示】

【予納台帳番号】 019482

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9708092

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 記憶装置およびそれに用いられるリフレッシュ制御回路ならびにリフレッシュ方法

【特許請求の範囲】

【請求項 1】 情報をメモリ領域に記憶し、前記メモリ領域に記憶された情報を増幅して前記メモリ領域に再度書き込むことによって、前記情報をリフレッシュして継続的に保持する、ダイナミック型の記憶装置であって、

前記メモリ領域を複数のサブメモリ領域にあらかじめ区分しておき、前記複数のサブメモリ領域のうち、前記情報のリフレッシュを行う際に使用状態にあつて当該リフレッシュを必要とする情報が保持されているサブメモリ領域のみに、前記情報のリフレッシュを行う、リフレッシュ制御回路を備えた

ことを特徴とする記憶装置。

【請求項 2】 情報を記憶するメモリセルアレイと、前記メモリセルアレイに記憶されている情報を増幅して前記メモリセルアレイに再度書き込むことによって前記情報をリフレッシュして継続的に保持するリフレッシュ回路とを有する、ダイナミック型のメモリセルアレイを備えた記憶装置であって、

前記メモリセルアレイのメモリ領域におけるアドレス空間を複数のサブメモリ領域にあらかじめ区分しておき、前記複数のサブメモリ領域のうち、前記情報のリフレッシュを行う際に使用状態にあつて当該リフレッシュを必要とする情報が保持されているサブメモリ領域のみに前記情報のリフレッシュを行うように、前記リフレッシュ回路の動作を制御する、リフレッシュ制御回路を備えた

ことを特徴とする記憶装置。

【請求項 3】 前記リフレッシュ制御回路が、前記サブメモリ領域ごとに、使用状態にあるか否かに関するデータと各アドレスに対して入力されるリフレッシュアドレスデータとの論理積を演算し、前記演算結果に基づいて、前記リフレッシュ回路による前記サブメモリ領域ごとのリフレッシュを行うか否かの制御を行う

ことを特徴とする請求項 2 記載の記憶装置。

【請求項 4】 前記メモリセルアレイには、ロウデコーダが付設されており

、前記メモリセルアレイにおけるアドレスのうち前記リフレッシュが行われるロウアドレスが前記ロウデコーダによって指定されるように設定されており、

前記リフレッシュ制御回路が、前記メモリセルアレイと前記ロウデコーダとの間に介挿されて、前記リフレッシュが行われるロウアドレスを指定する前記ロウデコーダの機能に介入して前記サブメモリ領域ごとのリフレッシュを行うか否かの制御を行うように設定されている

ことを特徴とする請求項 2 記載の記憶装置。

【請求項 5】 前記メモリセルアレイには、ロウデコーダが付設されており、前記メモリセルアレイにおけるアドレスのうち前記リフレッシュが行われるロウアドレスが前記ロウデコーダによって指定されるように設定されており、

前記リフレッシュ制御回路が、前記ロウデコーダに内設されて、前記リフレッシュが行われるロウアドレスを指定する前記ロウデコーダの機能に介入して前記サブメモリ領域ごとのリフレッシュを行うか否かの制御を行うように設定されている

ことを特徴とする請求項 2 記載の記憶装置。

【請求項 6】 前記メモリセルアレイには、ロウデコーダおよびリフレッシュアドレスカウンタが付設されており、前記メモリセルアレイにおけるアドレスのうち前記リフレッシュが行われるロウアドレスが前記ロウデコーダおよび前記リフレッシュアドレスカウンタによって指定されるように設定されており、

前記リフレッシュ制御回路が、前記リフレッシュアドレスカウンタに付設されて、前記リフレッシュアドレスカウンタによる前記リフレッシュが行われるロウアドレスの出力機能に介入して前記サブメモリ領域ごとのリフレッシュを行うか否かの制御を行うように設定されている

ことを特徴とする請求項 2 記載の記憶装置。

【請求項 7】 前記メモリセルアレイには、ロウデコーダおよびリフレッシュアドレスカウンタが付設されており、前記メモリセルアレイにおけるアドレスのうち前記リフレッシュが行われるロウアドレスが前記ロウデコーダおよび前記リフレッシュアドレスカウンタによって指定されるように設定されており、

前記リフレッシュ制御回路が、前記リフレッシュアドレスカウンタに内設され

て、前記リフレッシュアドレスカウンタによる前記リフレッシュが行われるロウアドレスの出力機能に介入して前記サブメモリ領域ごとのリフレッシュを行うか否かの制御を行うように設定されている

ことを特徴とする請求項 2 記載の記憶装置。

【請求項 8】 前記メモリセルアレイには、ロウデコーダおよびマルチプレクサならびにリフレッシュアドレスカウンタがこの順で接続されており、前記メモリセルアレイにおけるアドレスのうち前記リフレッシュが行われるロウアドレスが前記リフレッシュアドレスカウンタおよび前記マルチプレクサならびに前記ロウデコーダによって指定されるように設定されており、

前記リフレッシュ制御回路が、前記リフレッシュアドレスカウンタと前記マルチプレクサとの間に介挿されて、前記リフレッシュアドレスカウンタから前記マルチプレクサを介してロウデコーダへと伝送される前記リフレッシュが行われるロウアドレスの出力に介入して前記サブメモリ領域ごとのリフレッシュを行うか否かの制御を行うように設定されている

ことを特徴とする請求項 2 記載の記憶装置。

【請求項 9】 前記メモリセルアレイには、ロウデコーダおよびマルチプレクサならびにリフレッシュアドレスカウンタがこの順で接続されており、前記メモリセルアレイにおけるアドレスのうち前記リフレッシュが行われるロウアドレスが前記リフレッシュアドレスカウンタおよび前記マルチプレクサならびに前記ロウデコーダによって指定されるように設定されており、

前記リフレッシュ制御回路が、前記マルチプレクサに内设されて、前記リフレッシュアドレスカウンタから前記マルチプレクサを介してロウデコーダへと伝送される前記リフレッシュが行われるロウアドレスの出力に介入して前記サブメモリ領域ごとのリフレッシュを行うか否かの制御を行うように設定されている

ことを特徴とする請求項 2 記載の記憶装置。

【請求項 1 0】 前記メモリ領域が、異なった種類の内容の情報をそれぞれ異なったメモリ領域ごとに記憶するようにあらかじめ区分されており、前記区分された複数のメモリ領域のうちの少なくとも一つのメモリ領域が、前記複数のサブメモリ領域にさらに区分されている

ことを特徴とする請求項 2 記載の記憶装置。

【請求項 1 1】 情報をメモリ領域に記憶し、前記メモリ領域に記憶された情報を増幅して前記メモリ領域に再度書き込むことによって、前記情報をリフレッシュして継続的に保持する、ダイナミック型の記憶装置に用いられるリフレッシュ制御回路であって、

前記メモリ領域を複数のサブメモリ領域にあらかじめ区分しておき、前記複数のサブメモリ領域のうち、前記情報のリフレッシュを行う際に使用状態にあつて当該リフレッシュを必要とする情報が保持されているサブメモリ領域のみに、前記情報のリフレッシュを行う制御を行う

ことを特徴とするリフレッシュ制御回路。

【請求項 1 2】 情報を記憶するメモリセルアレイと、前記メモリセルアレイに記憶されている情報を増幅して前記メモリセルアレイに再度書き込むことによって前記情報をリフレッシュして継続的に保持するリフレッシュ回路とを有する、ダイナミック型のメモリセルアレイを備えた記憶装置に用いられるリフレッシュ制御回路であって、

前記メモリセルアレイのメモリ領域におけるアドレス空間を複数のサブメモリ領域にあらかじめ区分しておき、前記複数のサブメモリ領域のうち、前記情報のリフレッシュを行う際に使用状態にあつて当該リフレッシュを必要とする情報が保持されているサブメモリ領域のみに前記情報のリフレッシュを行うように、前記リフレッシュ回路の動作を制御する

ことを特徴とするリフレッシュ制御回路。

【請求項 1 3】 前記リフレッシュ制御回路が、前記サブメモリ領域ごとに、使用状態にあるか否かに関するデータと各アドレスに対して入力されるリフレッシュアドレスデータとの論理積を演算し、前記演算結果に基づいて、前記リフレッシュ回路による前記サブメモリ領域ごとのリフレッシュを行うか否かの制御を行う

ことを特徴とする請求項 1 2 記載のリフレッシュ制御回路。

【請求項 1 4】 前記メモリ領域が、異なった種類の内容の情報をそれぞれ異なったメモリ領域ごとに記憶するようにあらかじめ区分されており、前記区分

された複数のメモリ領域のうちの少なくとも一つのメモリ領域が、前記複数のサブメモリ領域にさらに区分されている

ことを特徴とする請求項 12 記載のリフレッシュ制御回路。

【請求項 15】 情報をメモリ領域に記憶し、前記メモリ領域に記憶された情報を増幅して前記メモリ領域に再度書き込むことによって、前記情報をリフレッシュして継続的に保持する、ダイナミック型の記憶装置における記憶のリフレッシュ方法であって、

前記メモリ領域を複数のサブメモリ領域にあらかじめ区分しておき、前記複数のサブメモリ領域のうち、前記情報のリフレッシュを行う際に使用状態にあつて当該リフレッシュを必要とする情報が保持されているサブメモリ領域のみに、前記情報のリフレッシュを行う

ことを特徴とするリフレッシュ方法。

【請求項 16】 ダイナミック型のメモリセルアレイを備えた記憶装置における、前記メモリセルアレイに記憶されている情報を増幅して前記メモリセルアレイに再度書き込むことによって前記情報をリフレッシュして継続的に保持する、リフレッシュ方法であって、

前記メモリセルアレイのメモリ領域におけるアドレス空間を複数のサブメモリ領域にあらかじめ区分しておき、前記複数のサブメモリ領域のうち、前記情報のリフレッシュを行う際に使用状態にあつて当該リフレッシュを必要とする情報が保持されているサブメモリ領域のみに前記情報のリフレッシュを行う

ことを特徴とするリフレッシュ方法。

【請求項 17】 前記サブメモリ領域ごとに、前記情報のリフレッシュを行う際に使用状態にあるか否かに関するデータと各アドレスに対して入力されるリフレッシュアドレスデータとの論理積を演算し、前記演算結果に基づいて、前記サブメモリ領域ごとでリフレッシュを行うか否かの制御を行う

ことを特徴とする請求項 16 記載のリフレッシュ方法。

【請求項 18】 前記メモリ領域を、異なった種類の内容の情報をそれぞれ異なったメモリ領域ごとに分別して記憶するようにあらかじめ区分しておき、前記区分した複数のメモリ領域のうちの少なくとも一つのメモリ領域を、前記複数

のサブメモリ領域にさらに区分して、その各々のサブメモリ領域ごとについて前記情報のリフレッシュの制御を行う

ことを特徴とする請求項 1 6 記載のリフレッシュ方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、例えば D R A M のようなダイナミック型の記憶装置およびそれに用いられるリフレッシュ制御回路ならびにリフレッシュ方法に関する。

【0 0 0 2】

【従来の技術】

従来より、コンピュータ装置などに使用される記憶装置として、ダイナミック型の記憶装置が用いられている。その典型的なものとしては、いわゆる D R A M (Dynamic Random Access Memory) のような半導体記憶デバイスがある。

【0 0 0 3】

この D R A M のようなダイナミック型の記憶装置では、読み出し動作が行われるごとに、あるいは種々の寄生容量や自然放電に因って、図 9 に一例を示したような、ワード線 9 0 3 によってオンオフが制御されるトランジスタ素子 9 0 1 をスイッチング素子として用いて、ビット線 9 0 2 を介してデータ（電荷）の書き込みや読み出しが制御されるように設定された概要構成のメモリセル 9 0 0 のキャパシタ（電気容量部） 9 0 4 に保持されている電荷量が減少して行き、一定値未満になると記憶内容が喪失する（いわゆる揮発する）ので、それまでメモリセルに保持していた電荷を増幅して再度書き込むという、いわゆるリフレッシュ動作が必要である。

【0 0 0 4】

この種のダイナミック型の記憶装置の典型例である D R A M 8 0 0 は、図 1 0 に模式的に簡略化して示したように、情報を電荷の保持／非保持による 2 進数で記憶するダイナミック型の記憶素子（メモリセル） 8 0 2 をアレイ状に配置した記憶アレイ部 8 0 1 と、この記憶アレイ部 8 0 1 と外部の記憶制御装置 8 1 0 との間に設けられて、記憶制御装置 8 1 0 からの命令信号等に応じて記憶アレイ部

801からの情報の読み出しや記憶アレイ部801への情報の書き込み等を制御する記憶制御部820とを、その主要部として備えている。

【0005】

この種の記憶装置(DRAM800)は、外部の記憶制御装置810からのリフレッシュ要求に基づいてリフレッシュ動作を行うオートリフレッシュ機能と、外部の記憶制御装置810から状態を設定すれば、その後は所定の時間ごと、あるいは保持電荷量が所定値以下になるなど、設定条件になると自動的にリフレッシュ動作を実行するセルフリフレッシュ機能とを備えている。

【0006】

DRAMのようなダイナミック型の記憶装置における、セルフリフレッシュ時のリフレッシュ動作は、記憶保持時間を t_{REF} 、記憶アドレス全体をリフレッシュするのに必要なアドレス数を m とすると、 t_{REF}/m の時間、例えば $t_{REF}=64\text{ [ms]}$, $m=4096$ とすると、 $15.6\text{ [}\mu\text{s]}$ 毎に1回のタイミングで行われる。

【0007】

このようなセルフリフレッシュ機能は、パーソナルコンピュータや携帯電話などのような電源として小型で容量が限られているバッテリーを使用して記憶内容を長時間保持することが要請される電子機器に用いられるDRAMなどにおけるリフレッシュ方法として、一般に採用されている場合が多い。

【0008】

ところで、上記のようなセルフリフレッシュ機能では、メモリセルに保持されていた電荷を増幅して再び元のメモリセルに書き込む動作を行っているので、その増幅を行う際に電気エネルギーを必要とする。従って、そのための電力を電源系から消費することになる。パーソナルコンピュータや携帯電話などのような電子機器では限られた容量のバッテリーなどの電源を長時間に亘って追充電することなく使用できるようにすることが要請されるので、DRAMなどで行われるセルフリフレッシュ機能に対しては低消費電力化が強く要請されている。

【0009】

そこで、従来の技術では、セルフリフレッシュ時の消費電流を減らすために、

記憶制御部 820 にはモードレジスタ 821 を設けて、このモードレジスタ 821 に設定した制御内容に基づいて、所定のメモリ領域のみにセルフリフレッシュを行うという方法が提案されている。

【0010】

例えば、特許文献 1 では、セルフリフレッシュを行う際に、メモリセルアレイの全てのアドレス毎に使用領域か否かを記憶しておき、未使用（使用領域ではない）アドレスについてはリフレッシュを行わないようにする、という発明が提案されている。そのさらに具体的な態様としては、全アドレス空間のうちの使用領域と未使用領域との境界アドレスを記憶しておき、その境界アドレス以降の未使用領域についてはリフレッシュを行わないようにする、というものである。但し、この発明は、低消費電力化を第 1 に主要な目的としたものではなく、むしろデータ処理速度の低下を防ぐことを目的としたものである。このため、この特許第 2829998 号による技術では、必ずしも低消費電力化を達成できるとは限らない。

【0011】

あるいは、この種のリフレッシュ機能を制御するという従来の技術としては、例えば図 11 および図 12 に模式的に示したようなものもある。すなわち、2 ビットの情報を格納するモードレジスタ 821 の制御方法の設定内容とセルフリフレッシュを行うメモリ領域との対応関係を定めておくと共に、全アドレス空間をメモリ領域 A、メモリ領域 B、メモリ領域 C、メモリ領域 D のような複数のメモリ領域にあらかじめ区分しておき、この記憶装置の起動時にモードレジスタ 821 の内容を書き込むようにしておく。そして、例えばモードレジスタ 821 の内容が “11” の場合には、メモリ領域 A のみ、すなわち記憶装置のメモリ領域全体のうちの上部 1/4 の部分のみについてはセルフリフレッシュを実行するが、他の部分についてはセルフリフレッシュを実行しない（その回のセルフリフレッシュを省略する）。このようにすることにより、図 12 に示したように、アドレス空間全体の 1/4 の領域のみにセルフリフレッシュ動作が行われるだけとなるので、そのときのセルフリフレッシュ動作に要する消費電流は、アドレス空間全体をセルフリフレッシュする場合と比較して、約 1/4 に削減することができる。

、というものである。

【0 0 1 2】

あるいは、例えば特許文献 2 では、DRAM, SRAM, 不揮発性メモリ素子
を一つのパッケージにモジュール化することで、記憶容量が大きくかつデータ保
持電流の少ないメモリを安価に実現するという技術が提案されている。

【0 0 1 3】

【特許文献 1】

特許第 2 8 2 9 9 9 8 号（特許請求の範囲および発明の詳細な説明全
体）

【特許文献 2】

特開 2 0 0 1 - 3 4 4 9 6 7 号公報（特許請求の範囲および発明の詳
細な説明全体）

【0 0 1 4】

【発明が解決しようとする課題】

しかしながら、特許文献 1 によって提案された技術では、メモリセルアレイの
全てのアドレス毎に使用領域か否かを記憶するようにしているので、そのための
記憶手段やその記憶手段からデータを読み出して全てのアドレスに亘ってリフレ
ッシュが必要か否かを判別し制御するための手段が極めて繁雑なものとなるとい
う問題がある。しかも、メモリセルアレイは益々大容量化する傾向にあるため、
アドレスの個数がさらに増大するので、それらの全てのアドレスについて使用領
域か否かを記憶し判別するたの手段は、さらに益々繁雑なものとならざるを得な
いという問題もある。

【0 0 1 5】

また、より具体的な態様としては、全アドレス空間のうちの使用領域と未使用
領域との境界アドレスを記憶しておき、その境界アドレス以降の未使用領域につ
いてはリフレッシュを行わないようにしているが、このような手法では、境界ア
ドレス以前の領域はリフレッシュを行い境界アドレス以降の領域はリフレッシュ
を行わないというように、全アドレス空間を、境界アドレスを境目にして 2 領域
のみにしか区分できないので、例えば全アドレス空間を 4 つのメモリ領域に区分

して、そのうちの上から 2 番目のメモリ領域と 3 番目のメモリ領域とのみを使用し、それらについてのみをリフレッシュする、といった制御を実現することはできない。

【0016】

また、そのような特許文献 1 によって提案された発明による技術のバリエーションとも言える、図 11 および図 12 に模式的に示したようなリフレッシュ方法では、モードレジスタ 821 の設定を電源投入時またはシステムリセット等の初期設定時に行っているので、例えば OS のようなあらかじめ最低限記憶保持すればよいメモリ領域が分かっている場合には有効であるが、例えばユーザ領域のように実際に必要とされて使用される領域が記憶するデータの大きさに依存してその都度変化する場合などでは、現実使用されるメモリ領域の大きさが電源投入時またはシステムリセット等の初期設定時の設定からずれたものとなり、有効にメモリ領域を活用することができない、あるいは効果的に低消費電力化を達成できない場合があるという問題がある。

【0017】

例えば、初期設定時にはメモリ領域 A のみにリフレッシュを行うように設定しておいた場合には、記憶すべきデータ量が多くなってメモリ領域 A を全部使用してさらにメモリ領域 B まで使用しようとしても、そのメモリ領域 B についてはリフレッシュを行わないように設定されているのだから、そのメモリ領域 B は実質的に使用できないことになる。

【0018】

あるいはまた、特許文献 1 によって提案された発明による技術では、例えばメモリ領域 A、メモリ領域 C、メモリ領域 D は未使用状態で、メモリ領域 B のみが使用状態であるといった場合には、境界アドレスはメモリ領域 B の末端にあるので、本当はリフレッシュを行わなくてもよいメモリ領域 A についてもリフレッシュを行ってしまうこととなり、無駄なリフレッシュも行う場合があるので、十分に有効な低消費電力化を達成することができない。このことは図 11 および図 12 に示した技術についても同様である。

【0019】

また、特許文献2にて提案された技術では、DRAM素子、SRAM素子、不揮発性メモリ素子を一つのパッケージにモジュール化しているが、個々の素子では低消費電力化は行われていないので、実質的には、そのうちのDRAM素子のようなダイナミック型の記憶装置における低消費電力化は達成できないことは言うまでもない。しかも、一つのパッケージ内にDRAM素子、SRAM素子、不揮発性メモリ素子をモジュール化しているので、その全体的な構成が極めて複雑なものになってしまう虞がある。

【0020】

本発明はこのような問題点に鑑みてなされたもので、その目的は、簡易な構成でありながら、使用されるメモリ領域の大きさがその都度変化する場合などでもリフレッシュ動作における十分に有効な低消費電力化を達成することのできる記憶装置およびそれに用いられるリフレッシュ制御回路ならびにリフレッシュ方法を提供することにある。

【0021】

【課題を解決するための手段】

本発明による第1の記憶装置は、情報をメモリ領域に記憶し、そのメモリ領域に記憶された情報を増幅してメモリ領域に再度書き込むことによって、情報をリフレッシュして継続的に保持する、ダイナミック型の記憶装置であって、メモリ領域を複数のサブメモリ領域にあらかじめ区分しておき、複数のサブメモリ領域のうち、情報のリフレッシュを行う際に使用状態にあつて当該リフレッシュを必要とする情報が保持されているサブメモリ領域のみに情報のリフレッシュを行うリフレッシュ制御回路を備えている。

【0022】

本発明による第2の記憶装置は、情報を記憶するメモリセルアレイと、そのメモリセルアレイに記憶されている情報を増幅してメモリセルアレイに再度書き込むことによって情報をリフレッシュして継続的に保持するリフレッシュ回路とを有する、ダイナミック型のメモリセルアレイを備えた記憶装置であって、メモリセルアレイのメモリ領域におけるアドレス空間を複数のサブメモリ領域にあらかじめ区分しておき、複数のサブメモリ領域のうち情報のリフレッシュを行う際に

使用状態にあつて当該リフレッシュを必要とする情報が保持されているサブメモリ領域のみに情報のリフレッシュを行うようにリフレッシュ回路の動作を制御する、リフレッシュ制御回路を備えている。

【0023】

本発明による第1のリフレッシュ制御回路は、情報をメモリ領域に記憶し、そのメモリ領域に記憶された情報を増幅してメモリ領域に再度書き込むことによって、情報をリフレッシュして継続的に保持する、ダイナミック型の記憶装置に用いられるリフレッシュ制御回路であつて、メモリ領域を複数のサブメモリ領域にあらかじめ区分しておき、それら複数のサブメモリ領域のうち情報のリフレッシュを行う際に使用状態にあつて当該リフレッシュを必要とする情報が保持されているサブメモリ領域のみに対して情報のリフレッシュを行う制御を行うものである。

【0024】

本発明による第2のリフレッシュ制御回路は、情報を記憶するメモリセルアレイと、そのメモリセルアレイに記憶されている情報を増幅してメモリセルアレイに再度書き込むことによって情報をリフレッシュして継続的に保持するリフレッシュ回路とを有する、ダイナミック型のメモリセルアレイを備えた記憶装置に用いられるリフレッシュ制御回路であつて、メモリセルアレイのメモリ領域におけるアドレス空間を複数のサブメモリ領域にあらかじめ区分しておき、複数のサブメモリ領域のうち情報のリフレッシュを行う際に使用状態にあつて当該リフレッシュを必要とする情報が保持されているサブメモリ領域のみに情報のリフレッシュを行うように、リフレッシュ回路の動作を制御するものである。

【0025】

本発明による第1のリフレッシュ制御方法は、情報をメモリ領域に記憶し、そのメモリ領域に記憶された情報を増幅してメモリ領域に再度書き込むことによって、情報をリフレッシュして継続的に保持する、ダイナミック型の記憶装置における記憶のリフレッシュ方法であつて、メモリ領域を複数のサブメモリ領域にあらかじめ区分しておき、複数のサブメモリ領域のうち情報のリフレッシュを行う際に使用状態にあつて当該リフレッシュを必要とする情報が保持されているサブ

メモリ領域のみに対して情報のリフレッシュを行う、というものである。

【 0 0 2 6 】

本発明による第 2 のリフレッシュ制御方法は、ダイナミック型のメモリセルアレイを備えた記憶装置における、メモリセルアレイに記憶されている情報を増幅してメモリセルアレイに再度書き込むことによって情報をリフレッシュして継続的に保持する、リフレッシュ方法であって、メモリセルアレイのメモリ領域におけるアドレス空間を複数のサブメモリ領域にあらかじめ区分しておき、それら複数のサブメモリ領域のうち情報のリフレッシュを行う際に使用状態にあつて当該リフレッシュを必要とする情報が保持されているサブメモリ領域のみに情報のリフレッシュを行う、というものである。

【 0 0 2 7 】

本発明による第 1 の記憶装置または第 1 のリフレッシュ制御回路もしくは第 1 のリフレッシュ制御方法では、メモリ領域を複数のサブメモリ領域にあらかじめ区分しておき、複数のサブメモリ領域のうち情報のリフレッシュを行う際に使用状態にあつて当該リフレッシュを必要とする情報が保持されているサブメモリ領域のみに対して情報のリフレッシュを行い、リフレッシュを行う際に使用状態になくて当該リフレッシュを必要としないサブメモリ領域についてはリフレッシュを行わないようにしているので、そのようなリフレッシュが不必要である部分についてのリフレッシュを省略して、少なくともその分の消費電力の削減が達成される。

【 0 0 2 8 】

本発明による第 2 の記憶装置または第 2 のリフレッシュ制御回路もしくは第 2 のリフレッシュ制御方法では、メモリセルアレイのメモリ領域におけるアドレス空間を複数のサブメモリ領域にあらかじめ区分しておき、それら複数のサブメモリ領域のうち情報のリフレッシュを行う際に使用状態にあつて当該リフレッシュを必要とする情報が保持されているサブメモリ領域のみに情報のリフレッシュを行い、リフレッシュを行う際に使用状態になくて当該リフレッシュを必要としないサブメモリ領域についてはリフレッシュを行わないようにしているので、そのようなリフレッシュが不必要である部分についてのリフレッシュを省略して、少

なくともその分の消費電力の削減が達成される。

【0029】

ここで、本発明による第1の記憶装置または第1のリフレッシュ制御回路もしくは第1のリフレッシュ制御方法については、情報をメモリ領域に記憶し、そのメモリ領域に記憶された情報を増幅してメモリ領域に再度書き込むことによって、情報をリフレッシュして継続的に保持する、ダイナミック型の記憶装置またはリフレッシュ制御回路もしくはリフレッシュ制御方法に適用可能である。よって、その適用可能な記憶装置としては、かならずしもDRAMのようなメモリセルにおける電荷の保持／非保持の状態によって2値的に情報を記憶する記憶装置のみには限定されないことは言うまでもない。しかし、より具体的な態様としては、既存の記憶装置の種類のうちでは、DRAMのような、情報を記憶するメモリセルアレイと、そのメモリセルアレイに記憶されている情報を増幅してメモリセルアレイに再度書き込むことによって情報をリフレッシュして継続的に保持するリフレッシュ回路とを有する、ダイナミック型のメモリセルアレイを備えた半導体記憶デバイスなどに好適なものである。すなわち、本発明による第2の記憶装置または第2のリフレッシュ制御回路もしくは第2のリフレッシュ制御方法は、そのようなダイナミック型のメモリセルアレイを備えた記憶装置に好適なものである。

【0030】

なお、上記のリフレッシュ制御回路は、サブメモリ領域ごとに使用状態にあるか否かに関するデータと各アドレスに対して入力されるリフレッシュアドレスデータとの論理積を演算し、その演算結果に基づいて、リフレッシュ回路によるサブメモリ領域ごとのリフレッシュを行うか否かの制御を行うようにしてもよい。このようにすることにより、リフレッシュ制御回路の主要部の構成が簡易なものとなるので望ましいからである。

【0031】

また、メモリセルアレイには、ロウデコーダが付設されており、メモリセルアレイにおけるアドレスのうちリフレッシュが行われるロウアドレスがロウデコーダによって指定されるように設定されており、リフレッシュ制御回路をメモリセ

ルアレイとロウデコーダとの間に介挿して、リフレッシュが行われるロウアドレスを指定するロウデコーダの機能に介入してサブメモリ領域ごとのリフレッシュを行うか否かの制御を行うようにしてもよい。あるいはリフレッシュ制御回路をロウデコーダに内设（内蔵）するようにしてもよい。

【0032】

このようにすることにより、既存の一般的な回路構成の記憶装置のなかに、回路系の複雑化を引き起こすことなく簡易にリフレッシュ制御回路を付加することが可能となり望ましいからである。

【0033】

あるいは、メモリセルアレイには、ロウデコーダおよびリフレッシュアドレスカウンタが付設されており、メモリセルアレイにおけるアドレスのうちリフレッシュが行われるロウアドレスがロウデコーダおよびリフレッシュアドレスカウンタによって指定されるように設定されており、リフレッシュ制御回路をリフレッシュアドレスカウンタに付設して、リフレッシュアドレスカウンタによるリフレッシュが行われるロウアドレスの出力機能に介入してサブメモリ領域ごとのリフレッシュを行うか否かの制御を行うようにしてもよい。あるいはリフレッシュ制御回路をリフレッシュアドレスカウンタに内设するようにしてもよい。

【0034】

このようにすることにより、既存の一般的な回路構成の記憶装置のなかに、回路系の複雑化を引き起こすことなく簡易にリフレッシュ制御回路を付加することが可能となり望ましいからである。

【0035】

あるいは、メモリセルアレイには、ロウデコーダおよびマルチプレクサならびにリフレッシュアドレスカウンタがこの順で接続されており、メモリセルアレイにおけるアドレスのうちリフレッシュが行われるロウアドレスがリフレッシュアドレスカウンタおよびマルチプレクサならびにロウデコーダによって指定されるように設定されており、リフレッシュ制御回路をリフレッシュアドレスカウンタとマルチプレクサとの間に介挿して、リフレッシュアドレスカウンタからマルチプレクサを介してロウデコーダへと伝送されるリフレッシュが行われるロウアド

レスの出力に介入してサブメモリ領域ごとのリフレッシュを行うか否かの制御を行うようにしてもよい。あるいはリフレッシュ制御回路をマルチプレクサに内設するようにしてもよい。

【0036】

このようにすることにより、既存の一般的な回路構成の記憶装置のなかに、回路系の複雑化を引き起こすことなく簡易にリフレッシュ制御回路を付加することが可能となり望ましいからである。

【0037】

また、上記のメモリ領域が、異なった種類の内容の情報をそれぞれ異なったメモリ領域ごとに記憶するようにあらかじめ区分されている場合には、その区分された複数のメモリ領域のうちの少なくとも一つのメモリ領域が、複数のサブメモリ領域にさらに区分されているようにしてもよい。

【0038】

このようにすることにより、例えばユーザー領域として区分された（割り振られた）メモリ領域をさらに複数のサブメモリ領域に細分して、その個々のサブメモリ領域ごとで、リフレッシュを行う際に使用されている状態であるか否か、換言すればリフレッシュが実際に必要であるか否かによって、リフレッシュを行うか省略してよいかを判別することができるようになる。延いては、リフレッシュが不必要な状態にあるメモリ領域については当該リフレッシュを行わないようにすると共にリフレッシュが必要な状態にあるメモリ領域については当該リフレッシュが行われることになり、常に全メモリ領域を情報の記憶のために使用可能にすると共に不必要なリフレッシュに起因した電力消費を削減することが可能となる。

【0039】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

【0040】

図1は、本発明の一実施の形態に係る記憶装置の概要構成を模式的に簡略化して表したものである。なお、本発明に係るリフレッシュ方法はこの記憶装置の動

作あるいは作用によって具現化されるものであり、また本発明に係るリフレッシュ制御回路はこの記憶装置の内部に組み込まれて用いられるものであるから、以下、それらを併せて説明する。

【0 0 4 1】

この記憶装置は、メモリセルアレイ 1 1 と、リフレッシュ回路 2 0 と、リフレッシュ制御回路 3 0 と、データ読出／書込回路 4 0 とから、その主要部が構成されている、例えば D R A M のようなダイナミック型の記憶装置である。なお、リフレッシュ回路 2 0 、リフレッシュ制御回路 3 0 、データ読出／書込回路 4 0 は、一纏めにして記憶制御部 5 0 として総称することができる。

【0 0 4 2】

メモリセルアレイ 1 1 は、図 9 に一例を模式的に示したよう概要構成のメモリセルをアレイ状に配設してなるものである。このメモリセルアレイ 1 1 は、外部の記憶制御装置 6 0 から伝送されて来たデータ（情報）を記憶するが、保持している電荷が自然に減少していくかまたはデータの読み出しの際に外部に引き抜かれてしまうので、所定のタイミングごとにリフレッシュを行うか、または個々のメモリセルに保持されている電荷が所定のレベル未満になるとリフレッシュを行うことが必要なものとなっている。このメモリセルアレイ 1 1 については、従来の一般的な D R A M のようなダイナミック型の記憶装置に用いられているものと同様である。

【0 0 4 3】

データ読出／書込回路 4 0 は、この記憶装置の外部の記憶制御装置 6 0 から伝送されて来たデータ、および書き込みまたは読み出しの命令の信号に基づいて、その伝送されて来たデータを、メモリセルアレイ 1 1 における該当するアドレスに書き込む機能と、メモリセルアレイ 1 1 に記憶されているデータを読み出す機能とを果たすものである。このデータ読出／書込回路 4 0 についても、メモリセルアレイ 1 1 へのデータの書き込みおよびメモリセルアレイ 1 1 からのデータの読み出しを行う機能については基本的に、従来の一般的な D R A M のようなダイナミック型の記憶装置に用いられているものと同様である。

【0 0 4 4】

リフレッシュ回路 20 は、メモリセルアレイ 11 に記憶されているデータを、例えば一定のリフレッシュ周期ごとのような所定のタイミングごとに増幅してメモリセルアレイ 11 に再度書き込むことによって、データをリフレッシュして継続的に保持する機能を基本的に有するものである。但し、後述するようなりフレッシュ制御回路 30 によってその動作が制御されて、リフレッシュ動作を行う際に未使用で実質的にリフレッシュを行う必要のないメモリ領域内のメモリセルについては、リフレッシュを行わないように設定されている。このリフレッシュ回路 20 は、データ読出／書込回路 40 を介して、上記のようなデータのリフレッシュを行うようにしてもよく、あるいはデータ読出／書込回路 40 とは別系統で、直接にメモリセルアレイ 11 に対して上記のようなデータのリフレッシュを行うようにしてもよいが、データ読出／書込回路 40 を介して、あるいはデータ読出／書込回路 40 と共働してデータのリフレッシュを行うのが、より一般的であることは言うまでもない。

【0045】

リフレッシュ制御回路 30 は、メモリセルアレイ 11 のメモリ領域におけるアドレス空間を複数のサブメモリ領域にあらかじめ区分しておき（分掌しておき）、それら複数のサブメモリ領域のうち、リフレッシュを行う際の直前までに使用状態にあつて当該リフレッシュを必要とするデータ（電荷）が保持されている状態のメモリセルが存在しているサブメモリ領域のみに対してはデータのリフレッシュを行うが、使用されていない状態にあつてデータ（電荷）を保持しているメモリセルが全く存在しておらず、従ってリフレッシュを必要としないメモリ領域については、当該リフレッシュは行わないようにする、という制御を行うものである。

【0046】

このリフレッシュ制御回路 30 の主要部は、さらに詳細には、図 2 に一例を示したようなものとするのが可能である。このリフレッシュ制御回路 30 は、使用メモリ領域レジスタ 31 と、複数のサブメモリ領域にそれぞれ対応した個数の（複数の）AND 回路素子 32 a, 32 b, 32 c, 32 d とを備えている。なお、ここでは説明および図示の簡潔化を図るために、メモリセルアレイ 11 の全

メモリ領域はA, B, C, Dの4つのサブメモリ領域に区分されているものとして説明する。

【0047】

使用メモリ領域レジスタ31は、サブメモリ領域A, B, C, Dにそれぞれ対応したA, B, C, Dという4ビットのメモリ使用領域情報を格納する。このメモリ使用領域情報は、外部の記憶制御装置60からこの記憶装置に対して伝送されて来る書き込みデータやその際のアドレスデータ、あるいは書き込みの命令または読み出しの命令のためのコマンド信号等から求めることができる。

【0048】

より具体的には、例えば、リフレッシュ動作を行うに際して、その直前の書き込みまたは読み出しの際に、サブメモリ領域Aのアドレスの一つでも使用状態にあれば、そのサブメモリ領域Aについてのメモリ使用領域情報は、「使用状態にある」という旨の情報として「1」が、使用メモリ領域レジスタ31のAのビット内に格納（記憶）される。あるいはリフレッシュ動作を行うに際して、その直前の書き込みまたは読み出しの際に、サブメモリ領域Aの全てのアドレスについて不使用状態にあれば、そのサブメモリ領域Aについてのメモリ使用領域情報は、「不使用状態にある」という旨の情報として「0」が、使用メモリ領域レジスタ31のAのビット内に格納される。

【0049】

複数の（ここでは4つの）AND回路素子32a, 32b, 32c, 32dは各々、セルフリフレッシュ起動信号と使用メモリ領域レジスタ31の出力との論理積を行って、それぞれセルフリフレッシュ動作信号A, B, C, Dの出力／非出力を行う。セルフリフレッシュ起動信号は、例えば図1では図示しないセルフリフレッシュタイマあるいはリフレッシュアドレスカウンタなどから出力される、セルフリフレッシュの対象となるアドレスを指定するための信号で、例えばA, B, C, D, A, B, C, D…のような順序で、「1」が出力される。

【0050】

これらのAND回路素子32a, 32b, 32c, 32dでは、使用メモリ領域レジスタ31に格納されているメモリ使用領域情報のデータ（「1」または「

0」) と、順次に所定のタイミングで（例えば周期的に）入力されるセルフリフレッシュ起動信号（「1」）との論理積を演算する。その演算結果が「1」の場合、換言すればセルフリフレッシュ起動信号「1」が入力されたときにメモリ使用領域情報のデータがサブメモリ領域の使用状態を示す「1」である場合には、 $1 \times 1 = 1$ となって、これがセルフリフレッシュ動作信号として出力される。しかしセルフリフレッシュ起動信号「1」が入力されたときにメモリ使用領域情報のデータがサブメモリ領域の不使用状態を示す「0」である場合には、 $1 \times 0 = 0$ となるので、この場合にはセルフリフレッシュ動作信号は出力されない。すなわち、図 3 に模式的に一覧表としてまとめて示したように、メモリ使用領域情報のデータがビット A = 1 の場合にはサブメモリ領域 A がセルフリフレッシュの対象となり、メモリ使用領域情報の情報がビット B = 1 の場合にはサブメモリ領域 B がセルフリフレッシュの対象となり、メモリ使用領域情報のデータがビット C = 1 の場合にはサブメモリ領域 C がセルフリフレッシュの対象となり、メモリ使用領域情報のデータがビット D = 1 の場合にはサブメモリ領域 D がセルフリフレッシュの対象となり…というように、4 つのサブメモリ領域 A, B, C, D は、当該セルフリフレッシュの直前までの使用状態に対応してそれぞれ個別に独立してセルフリフレッシュを行うか否かが制御される。

【0 0 5 1】

さらに具体的には、例えば、セルフリフレッシュを行うに際してその直前までに、サブメモリ領域 B のみが使用状態でありサブメモリ領域 A, C, D については不使用状態であった場合を一例にとると、この場合、使用メモリ領域レジスタ 31 に格納されているデータは A = 0, B = 1, C = 0, D = 0 であるから、サブメモリ領域 B のビットにおける論理積のみが $1 \times 1 = 1$ となって、セルフリフレッシュ動作信号 B のみが出力される。そしてリフレッシュ回路 20 では、そのセルフリフレッシュ動作信号 B を受けて、サブメモリ領域 B のみに対してセルフリフレッシュが行われ、その他のサブメモリ領域 A, C, D についてはセルフリフレッシュは行われ（敢えて省略される）。

【0 0 5 2】

このように、記憶保持する必要のある使用状態のサブメモリ領域についてはセ

セルフリフレッシュを行い、記憶保持する必要のない不使用状態のサブメモリ領域についてはセルフリフレッシュを行わないようにすることが可能となり、その結果、不要なセルフリフレッシュに起因した消費電力の大幅な削減を達成することができる。

【0053】

[第1の実施例]

図4は、第1の実施例に係る記憶装置（DRAM）の概要構成を表したものである。このDRAMは、クロックバッファ1と、コマンドデコーダ2と、タイミングジェネレータ3と、温度検出手段4と、セルフリフレッシュタイマ5と、リフレッシュアドレスカウンタ6と、ロウアドレスラッチ7と、カラムアドレスラッチ8と、マルチプレクサ9と、ロウデコーダ10と、メモリセルアレイ11と、センスアンプ12と、カラムデコーダ13と、データ入出力バッファ14と、リフレッシュ制御回路30とを、その主要部として備えている。ここで、上記のセルフリフレッシュタイマ5、リフレッシュアドレスカウンタ6、ロウアドレスラッチ7、カラムアドレスラッチ8、マルチプレクサ9、ロウデコーダ10、センスアンプ12、カラムデコーダ13が、総括的に、実施の形態において述べたリフレッシュ回路20に概略相当し、また上記のロウアドレスラッチ7、カラムアドレスラッチ8、マルチプレクサ9、ロウデコーダ10、センスアンプ12、カラムデコーダ13が、総括的に、実施の形態において述べたデータ書込／読出回路40に概略相当する。

【0054】

クロックバッファ1は、外部からのクロック信号を受信して内部回路に分配する。コマンドデコーダ2は、外部からのコマンド信号を解読してライト（書き込み）、リード（読み出し）、オートリフレッシュなどの動作を判別する。タイミングジェネレータ3は、内部動作に必要な各種タイミングを発生する。温度検出手段4は、このDRAMの内部あるいはメモリセルアレイ11近傍などの温度を検出する。

【0055】

セルフリフレッシュタイマ5は、セルフリフレッシュモード時のリフレッシュ

動作間隔を決定するクロックを発生する。リフレッシュアドレスカウンタ 6 は、外部からのオートリフレッシュおよびセルフリフレッシュ時にリフレッシュ動作を行う毎にカウンタ値を +1 ずつカウントアップして行き、リフレッシュ時のロウアドレスを順次に出力する。

【0056】

ロウアドレスラッチ 7 およびカラムアドレスラッチ 8 は、外部から時分割で送られて来るアドレス信号を、ロウアドレスとカラムアドレスとに別けて一時的に格納する。

【0057】

マルチプレクサ 9 は、リフレッシュアドレスと通常動作時（書き込みや読み出しなどの動作時）のロウアドレスとのいずれかを、そのときのコマンド信号等に基づいて選択する。ロウデコーダ 10 は、全部で m 行のロウアレイ（ m 本のロウライン）のうちから一度に 1 行（1本）を選択する。

【0058】

メモリセルアレイ 11 は、電荷の保持／非保持の状態によって 2 値的に情報を記憶するメモリセルを、 m 行のロウ（Row） \times n 列のカラム（Column）の直交アレイ状に配設してなるもので、1 行のロウが選択されると、これに接続されている n 個のメモリセルのそれぞれに情報として保持されている電荷をセンスアンプ 12 へと読み出す（引き出す）。このとき、実質的に電荷を保持していないメモリセルについては「0」という情報を読み出すものと見做すことができることは言うまでもない。

【0059】

センスアンプ 12 は、メモリセルから情報として読み出された電荷を所定のゲインで増幅してデータ信号化して出力する。カラムデコーダ 13 は、 n 列（ n 本）のカラムのうちから、外部からのデータ信号およびアドレス信号に基づいて、そのデータ信号に相当するカラムを選択する。

【0060】

データ入出力バッファ 14 は、ライト（書き込み）動作時にはそのとき書き込むべきデータをセンスアンプ 12 へと入力するバッファとして機能し、リード（

読み出し) 動作時にはそのとき読み出されたデータを外部へと出力するバッファとして機能する。

【0061】

ここまで説明した、リフレッシュ制御回路30を含まない、いわゆる一般的なDRAM構成におけるリード動作では、外部からのアドレス信号の指定するロウアドレスに基づいてメモリセルアレイ11内の1行のロウラインが選択される。そしてそのロウラインに接続されているn列(n個)の各カラムごとのメモリセルに保持されていたデータ(電荷の有無として保持された情報)が読み出され、センスアンプ12によって増幅される。そしてこのセンスアンプ12によって増幅された各カラムのデータは、カラムデコーダ13によって1列で1組のデータ信号(リードデータ)として纏められて選択され、データ入出力バッファ14を介して、外部へと出力される。

【0062】

また、ライト(書き込み)動作では、メモリセルアレイ11に記憶されているデータを、各ロウ毎に読み出して、センスアンプ12で増幅した後、カラムデコーダ13で指定したカラムラインごとに、それに接続されている各メモリセルの保持する情報をそれぞれ外部からのライトデータで置き換えることで、書き込み(書き換え)を行う。

【0063】

リフレッシュ制御回路30は、ロウデコーダ10とメモリセルアレイ11との間に介挿されて、リフレッシュ動作時には、メモリセルアレイ11のメモリ領域におけるアドレス空間を複数のサブメモリ領域としてあらかじめ区分して、それらを各々個別にリフレッシュ制御できるように分掌しておき、それら複数のサブメモリ領域のうち、リフレッシュを行う際の直前までに使用状態にあつてそのときのリフレッシュを必要とするデータが保持されている状態のメモリセルが存在しているサブメモリ領域のみに対してはデータのリフレッシュを行うが、使用されていない状態にあつてデータを保持しているメモリセルが全く存在しておらず、従ってリフレッシュを必要としないメモリ領域については、そのときのリフレッシュは行わないようにする、という制御を行う。他方、データの読み出した

は書き込みなどの通常動作時には、そのときのロウデコーダ10としての通常のロウ選択の機能（例えば線順次に1行ずつロウを選択して行く動作など）を妨げることのないように、メモリセルアレイ11に対するロウデコーダ10の機能には介入しないようにする。

【0064】

図5は、この第1の実施例のDRAMにおけるリフレッシュ制御回路30の主要部を抜き出して表したものである。なお、この図5では、図示およびその説明の簡潔化を図るために、各サブメモリ領域がそれぞれ5本のロウラインを有しているものとし、サブメモリ領域A、B、C、Dのうちの、サブメモリ領域Aについてのみを抜き出して示して説明するものとする。実際のロウラインの本数（行数）はさらに多数であることは言うまでもない。

【0065】

この第1の実施例のリフレッシュ制御回路30は、図2で説明したような構成の使用メモリ領域レジスタ31およびAND回路32a、b、c、dを備えたりリフレッシュ制御回路30の本体と、その出力を受けて、リフレッシュ時に当該サブメモリ領域Aに対するリフレッシュを行うようにそのサブメモリ領域A内のロウを選択するか、それともロウデコーダ10がそのサブメモリ領域A内のロウの選択を指定していても、そのときのロウデコーダ10による選択に介入して、サブメモリ領域A内のロウを選択しないか（省略するか）か、のうちのいずれか一方を選択する、リフレッシュ選択部33とを備えている。

【0066】

その動作は、例えばサブメモリ領域Aが使用状態で、リフレッシュ制御回路30の本体からの出力がサブメモリ領域A＝「1」である場合には、リフレッシュ選択部33内の各ロウのAND回路34a、b、c、dの一方の端子にはそれぞれその「1」が入力されている。そしてロウデコーダ10から通常のセルフリフレッシュモードとして各ロウに対して線順次に選択を指定する「1」がAND回路34a、b、c、dの他方の端子に入力されると、AND回路34a、b、c、dではその論理積が $1 \times 1 = 1$ となるので、通常のセルフリフレッシュが行われる。

【0067】

しかしサブメモリ領域Aが不使用状態で、リフレッシュ制御回路30の本体からの出力がサブメモリ領域A＝「0」である場合には、リフレッシュ選択部33内の各ロウのAND回路34a, b, c, dの一方の端子にはそれぞれその「0」が入力されている。そしてロウデコーダ10から通常のセルフリフレッシュモードとして各ロウに対して線順次に選択を指定する「1」がAND回路34a, b, c, dの他方の端子に入力されると、AND回路34a, b, c, dではその論理積が $1 \times 0 = 0$ となるので、このサブメモリ領域Aではセルフリフレッシュは行われない。

【0068】

そして、通常の読み出し動作時または書き込み動作時には、リフレッシュ制御回路30の本体が、サブメモリ領域A, B, C, Dの全てに対して「1」を出力することで、ロウデコーダ10からメモリセルアレイ11に対しての選択に介入しないようにすることができる。

【0069】

なお、リフレッシュ制御回路30の本体やリフレッシュ選択部33は、ロウデコーダ10の内部に配設してもよく、あるいは図6に一例を示したように、各サブメモリ領域のリフレッシュ選択部33ごとに、その内部に、当該サブメモリ領域に対する制御を行うリフレッシュ制御回路30の一部分を（例えばサブメモリ領域A用のリフレッシュ選択部33内にはリフレッシュ制御回路30のうちの使用メモリ領域レジスタ31のサブメモリ領域A用の部分（Aビット）およびAND回路34aを内設する、というように）、それぞれ分けて配設してもよい。

【0070】

〔第2の実施例〕

図7は、この第2の実施例に係る記憶装置（DRAM）の概要構成を表したものである。この第2の実施例では、リフレッシュ制御回路30をリフレッシュアドレスカウンタ6に付設した場合の一例について説明する。なお、第1の実施例と同様の部位については、同一の符号を付して同一の名称で呼ぶものとし、その詳細な説明については説明の簡潔化を図るために省略する。

【0071】

この第2の実施例のリフレッシュ制御回路30では、リフレッシュアドレスカウンタ6によるリフレッシュが行われるロウアドレスの出力機能に対してリフレッシュ制御回路30が介入することによって、サブメモリ領域ごとのリフレッシュを行うか否かの制御を行う。

【0072】

さらに詳細には、図2に示したようなリフレッシュ制御回路30が、リフレッシュアドレスカウンタ6に付設されている。そして、例えば当該リフレッシュが行われる際に使用状態にあったのがサブメモリ領域Aおよびサブメモリ領域Cであり、サブメモリ領域Bおよびサブメモリ領域Dは不使用状態であったとすると、このときリフレッシュ制御回路30はリフレッシュアドレスカウンタ6の出力機能に対して介入して、例えばサブメモリ領域Aに対するセルフリフレッシュ動作信号Aおよびサブメモリ領域Cに対するセルフリフレッシュ動作信号Cとして「1」をリフレッシュアドレスカウンタ6に入力し、サブメモリ領域Bに対するセルフリフレッシュ動作信号Bおよびサブメモリ領域Dに対するセルフリフレッシュ動作信号Dとして「0」をリフレッシュアドレスカウンタ6に入力する。

【0073】

その入力に対応して、リフレッシュアドレスカウンタ6では、サブメモリ領域A内のロウアドレスおよびサブメモリ領域C内のロウアドレスは「1」に対応して出力するが、サブメモリ領域B内のロウアドレスおよびサブメモリ領域D内のロウアドレスは「0」に対応して出力しないように設定されている。

【0074】

このように、リフレッシュ時のロウアドレス選択という観点では第1の実施例の場合よりも前段側（源流側）でリフレッシュ動作の制御への介入を行うようにすることも可能である。

【0075】

なお、リフレッシュ制御回路30は、リフレッシュアドレスカウンタ6の内部に配設してもよいことは言うまでもない。

【0076】

また、通常動作時には、第1の実施例の場合と同様に、リフレッシュ制御回路30によるリフレッシュアドレスカウンタ6の出力への介入は停止するようにすればよいことは言うまでもない。

【0077】

[第3の実施例]

図8は、この第3の実施例に係る記憶装置(DRAM)の概要構成を表したものである。なお、第1の実施例と同様の部位については、同一の符号を付して同一の名称で呼ぶものとし、その詳細な説明については説明の簡潔化を図るために省略する。

【0078】

この第3の実施例では、リフレッシュ制御回路30をマルチプレクサ9とロウデコーダ10との間、またはリフレッシュアドレスカウンタ6とマルチプレクサ9との間に設けて、リフレッシュ時にアドレスを指定するためにリフレッシュアドレスカウンタ6からマルチプレクサ9を介してロウデコーダ10へと入力される、デコード化される前のデータ(2進数コード)について、それがデコードされる前の段階で(換言すればロウデコーダ10へと入力される前の段階で)、リフレッシュ制御回路30が介入することで、不使用状態のサブメモリ領域についてはリフレッシュを行わないようにする。

【0079】

例えばサブメモリ領域Bが32番目のロウ(ワード線)から64番目のロウまでと設定されており、そのサブメモリ領域B内の各ロウのメモリセルについては当該リフレッシュ時に不使用状態であったためリフレッシュを省略するという場合についてを一例として挙げると、32番目のロウに対応した2進数コード=0100000から64番目のロウに対応した2進数コード=1000000までのコードについては(例えば0101000など)、リフレッシュ制御回路30がマルチプレクサ9の出力またはリフレッシュアドレスカウンタ6の出力に介入して、ロウデコーダ10へと出力しないようにする。

【0080】

なお、通常動作時には、第1の実施例の場合と同様に、リフレッシュ制御回路

30によるリフレッシュアドレスカウンタ6やマルチプレクサ9への介入は停止するようにすればよいことは言うまでもない。

【0081】

以上の第1の実施例、第2の実施例、第3の実施例に、より具体的に示したように、一般的な構成のDRAMの内部に、本発明の実施の形態に係るリフレッシュ制御回路30を作り込んだ構成とすることにより、リフレッシュを行う際に不使用状態にあつてリフレッシュを行うことが不必要であるメモリ領域については、そのときのリフレッシュを省略して、少なくともその分の低消費電力化を達成することができる。しかも、そのようなリフレッシュの制御を行うためのリフレッシュ制御回路30を、記憶装置の全体的な回路構成の繁雑化を引き起こすことなしに、一般的な構成のDRAMのような記憶装置の内部に付加することができる。

【0082】

なお、リフレッシュを行う際に不使用状態にあつてリフレッシュを行うことが不必要であるメモリ領域についてのリフレッシュを省略する具体的な態様としては、上記の第1の実施例、第2の実施例、第3の実施例のみに限定されないことは言うまでもない。上記の各実施例では、いずれも、ロウ（ロウライン、あるいは換言すればワード線）の選択を制御することで、リフレッシュを行うことが不必要であるメモリ領域についてのリフレッシュを省略するようにしているが、リフレッシュの際のロウの選択については通常のセルフリフレッシュの場合と同様に線順次に選択して行くようにする一方、リフレッシュを行うことが不必要であるサブメモリ領域内のロウについては選択されてカラムデコードによって一旦読み出されても、センスアンプ12で増幅することはしない、というようにしてもよい。このようにすることにより、リフレッシュを行うことが不必要であるサブメモリ領域内のロウについてもリフレッシュ時に一旦は読み出しているのに、その分の電気的エネルギーは消費するが、センスアンプ12で増幅をしていないので（増幅は省略している）、その増幅の際に従来は消費されていた消費電力分は少なくとも削減することができる。その他、種々の態様が可能であることは言うまでもない。

【 0 0 8 3 】**【発明の効果】**

以上説明したように、本発明の記憶装置またはリフレッシュ制御回路もしくはリフレッシュ制御方法によれば、メモリ領域を複数のサブメモリ領域にあらかじめ区分しておき、複数のサブメモリ領域のうち情報のリフレッシュを行う際に使用状態にあつて当該リフレッシュを必要とする情報が保持されているサブメモリ領域のみに対して情報のリフレッシュを行い、リフレッシュを行う際に使用状態になくて当該リフレッシュを必要としないサブメモリ領域についてはリフレッシュを行わないようにしたので、リフレッシュが不必要である部分についてのリフレッシュを省略して、少なくともその分の消費電力の削減を達成することができる。しかもそのようなリフレッシュ動作の制御を行うリフレッシュ制御回路は、請求項 3 ないし 9 のいずれかに記載したような簡易なものとすることにより、記憶装置全体の主要部の構成の複雑化を回避することができる。

【図面の簡単な説明】**【図 1】**

本発明の一実施の形態に係る記憶装置の概要構成を表した図である。

【図 2】

リフレッシュ制御回路の主要部の構成を表した図である。

【図 3】

使用メモリ領域レジスタ内の各ビットに保持されている情報内容とセルフリフレッシュを行う対象となる領域との関係を表した図である。

【図 4】

第 1 の実施例に係る記憶装置である D R A M の概要構成を表した図である。

【図 5】

第 1 の実施例の記憶装置である D R A M におけるリフレッシュ制御回路 3 0 の主要部を抜き出して表した図である。

【図 6】

第 1 の実施例の記憶装置である D R A M におけるリフレッシュ制御回路 3 0 の主要部のバリエーションの一つを表した図である。

【図 7】

第 2 の実施例に係る記憶装置である D R A M の概要構成を表した図である。

【図 8】

第 3 の実施例に係る記憶装置である D R A M の概要構成を表した図である。

【図 9】

従来の一般的な D R A M におけるメモリセルの概要構成の一例を表した図である。

【図 1 0】

従来の一般的な D R A M の概要構成を表した図である。

【図 1 1】

従来の技術の記憶装置におけるモードレジスタに保持されている情報内容とセルフリフレッシュを行う対象となる領域との関係を表した図である。

【図 1 2】

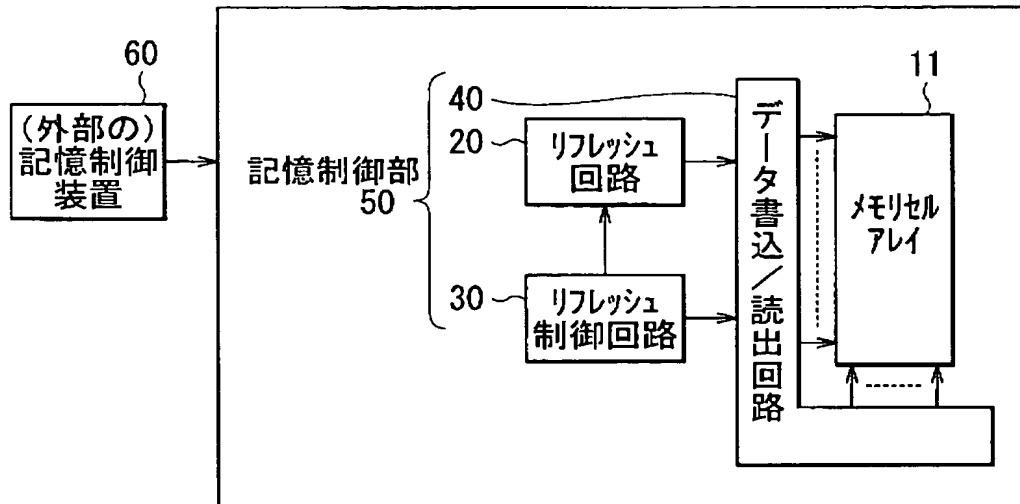
従来の技術の記憶装置におけるセルフリフレッシュ動作についてのタイミングチャートである。

【符号の説明】

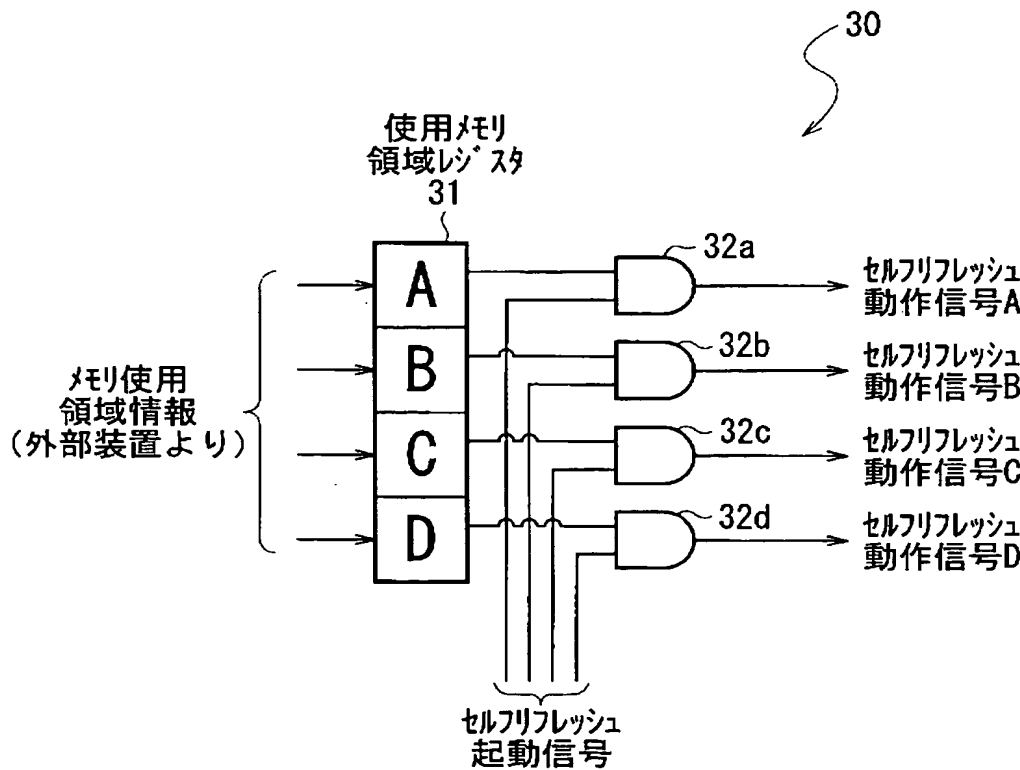
6…リフレッシュアドレスカウンタ、7…ロウアドレスラッチ、8…カラムアドレスラッチ、9…マルチプレクサ、10…ロウデコーダ、11…メモリセルアレイ、12…センスアンプ、13…カラムデコーダ、20…リフレッシュ回路、30…リフレッシュ制御回路、40…データ書込／読出回路、50…記憶制御部

【書類名】 図面

【図 1】



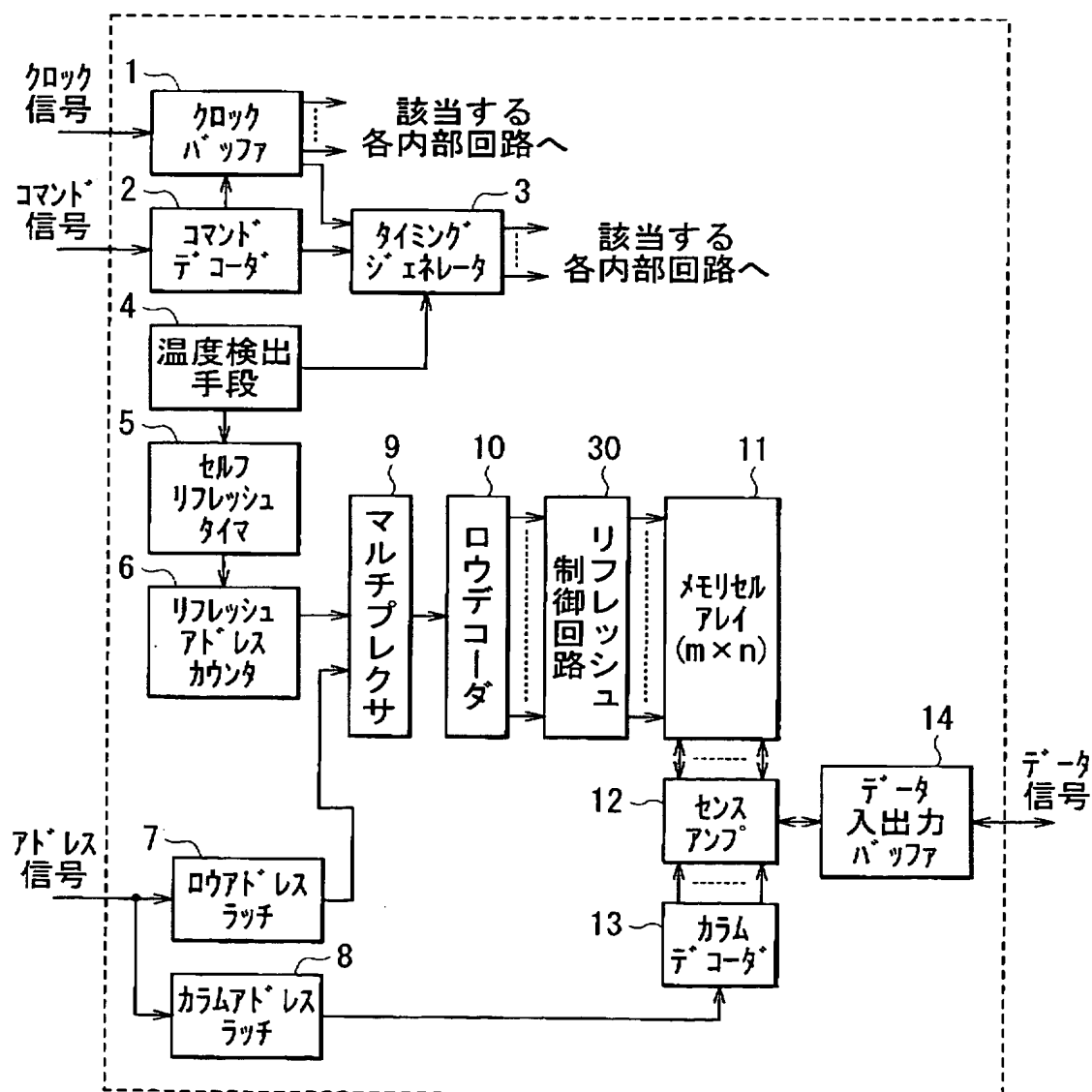
【図 2】



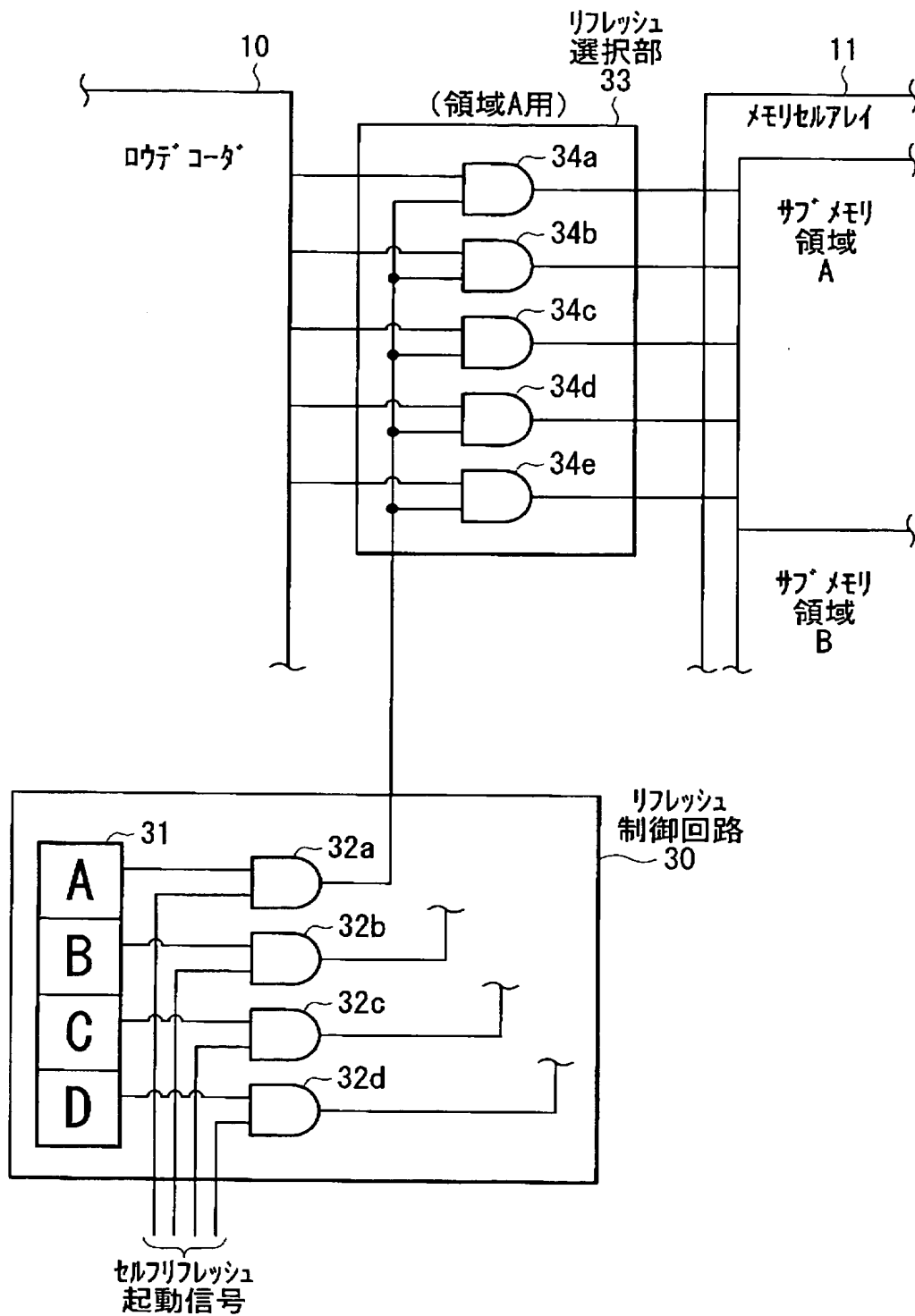
【図 3】

レジスタ内の情報	セルフフラッシュを行う領域
ビットA が “1”	領域A
ビットB が “1”	領域B
ビットC が “1”	領域C
ビットD が “1”	領域D

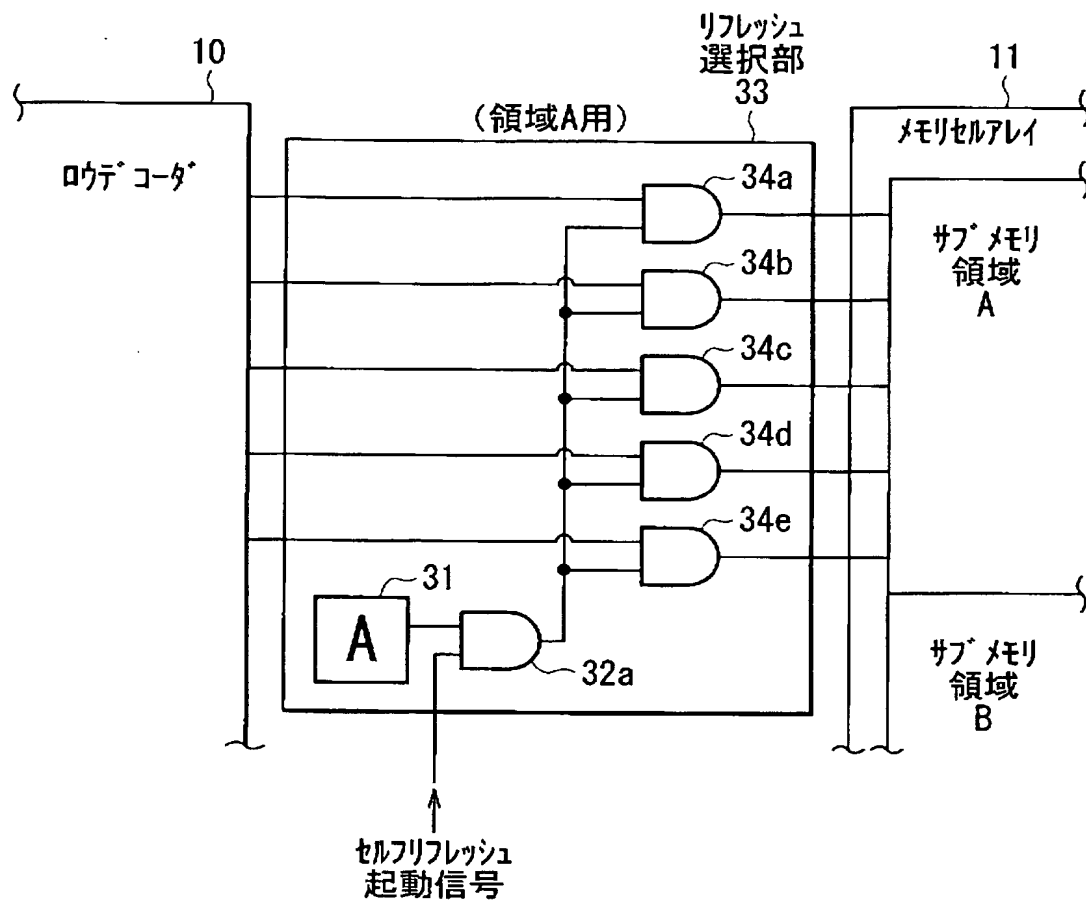
【図 4】



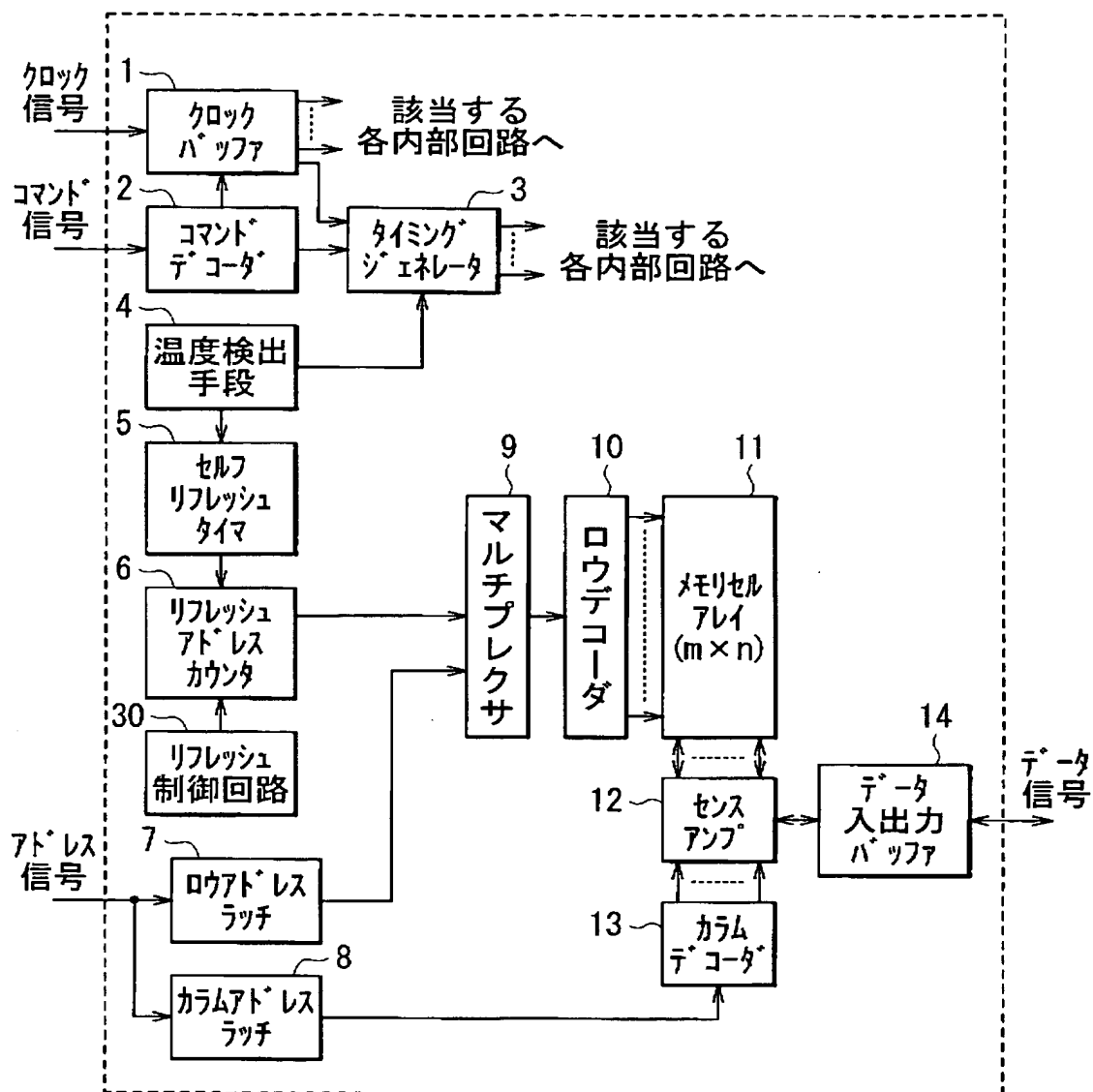
【図 5】



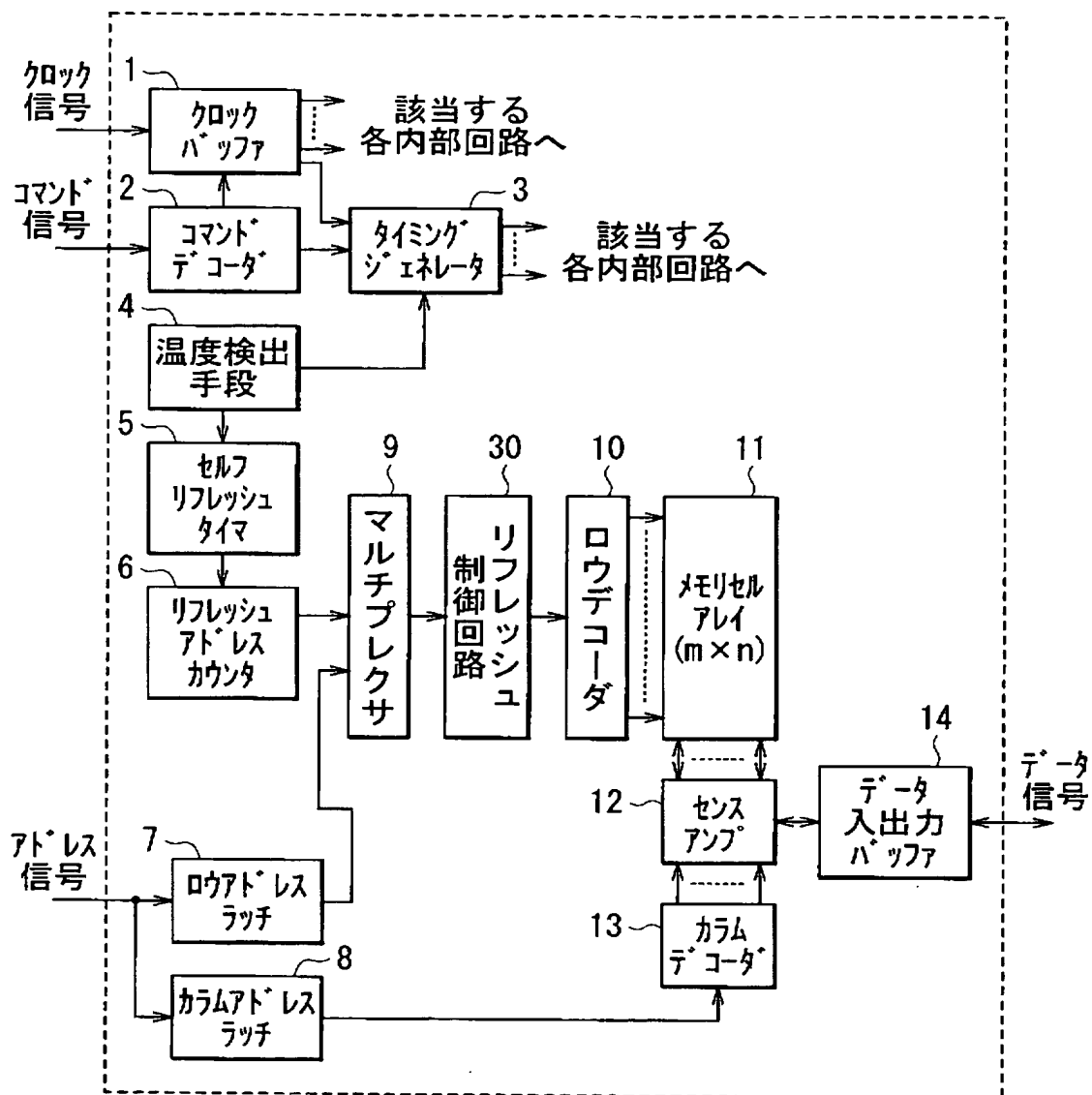
【図 6】



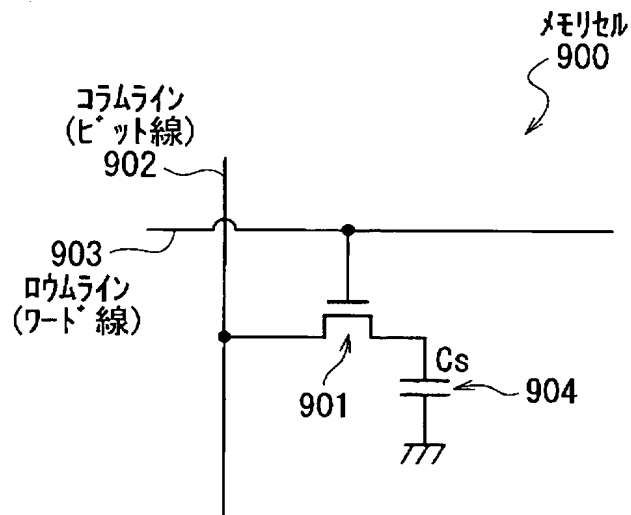
【図 7】



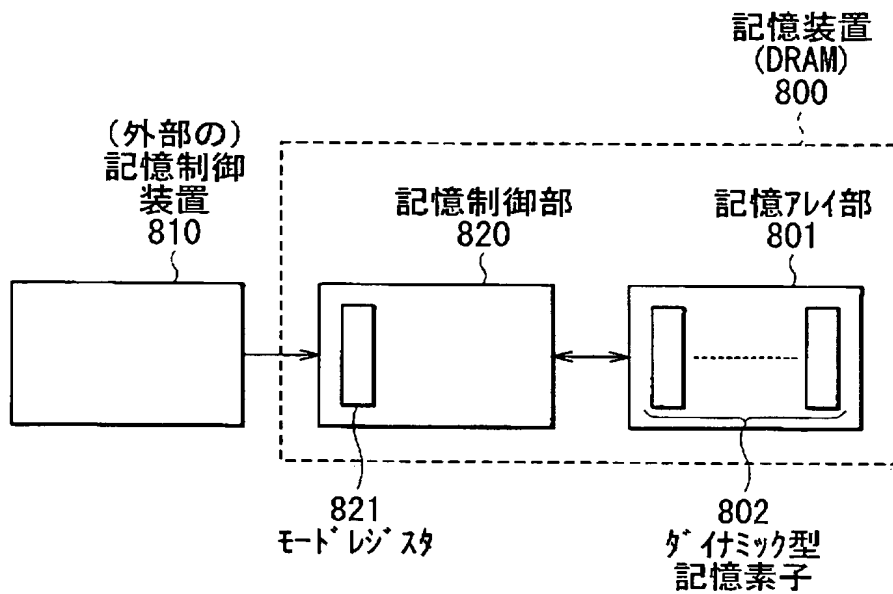
【図 8】



【図 9】



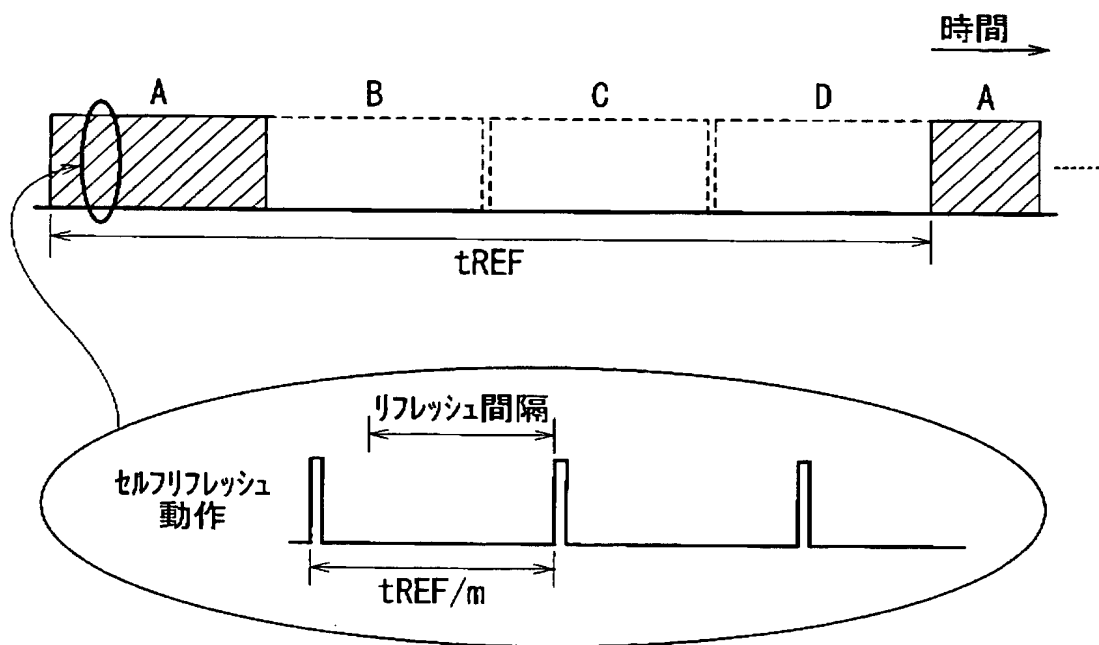
【図 10】



【図 11】

モードレジスタの内容	セルフフラッシュを行う領域
"00"	領域A, B, C, Dの全て
"01"	領域A, B, C
"10"	領域A, B
"11"	領域A

【図 12】



【書類名】 要約書

【要約】

【課題】 簡易な構成でありながら、使用されるメモリ領域の大きさがその都度変化する場合などでもリフレッシュ動作における十分に有効な低消費電力化を達成することのできる記憶装置およびそれに用いられるリフレッシュ制御回路ならびにリフレッシュ方法を提供する。

【解決手段】 リフレッシュ制御回路 3 0 は、メモリセルアレイ 1 1 のメモリ領域を複数のサブメモリ領域にあらかじめ区分しておき、それらのサブメモリ領域のうち情報のリフレッシュを行う際に使用状態にあつて当該リフレッシュを必要とする情報が保持されているサブメモリ領域のみに対して情報のリフレッシュを行い、不使用状態にあつてリフレッシュを必要としないサブメモリ領域についてはリフレッシュを行わない、という制御を実行する。

【選択図】 図 1

特願 2 0 0 3 - 0 6 2 7 7 4

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 2 1 8 5]

1. 変更年月日	1 9 9 0 年 8 月 3 0 日
[変更理由]	新規登録
住 所	東京都品川区北品川 6 丁目 7 番 3 5 号
氏 名	ソニー株式会社